

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

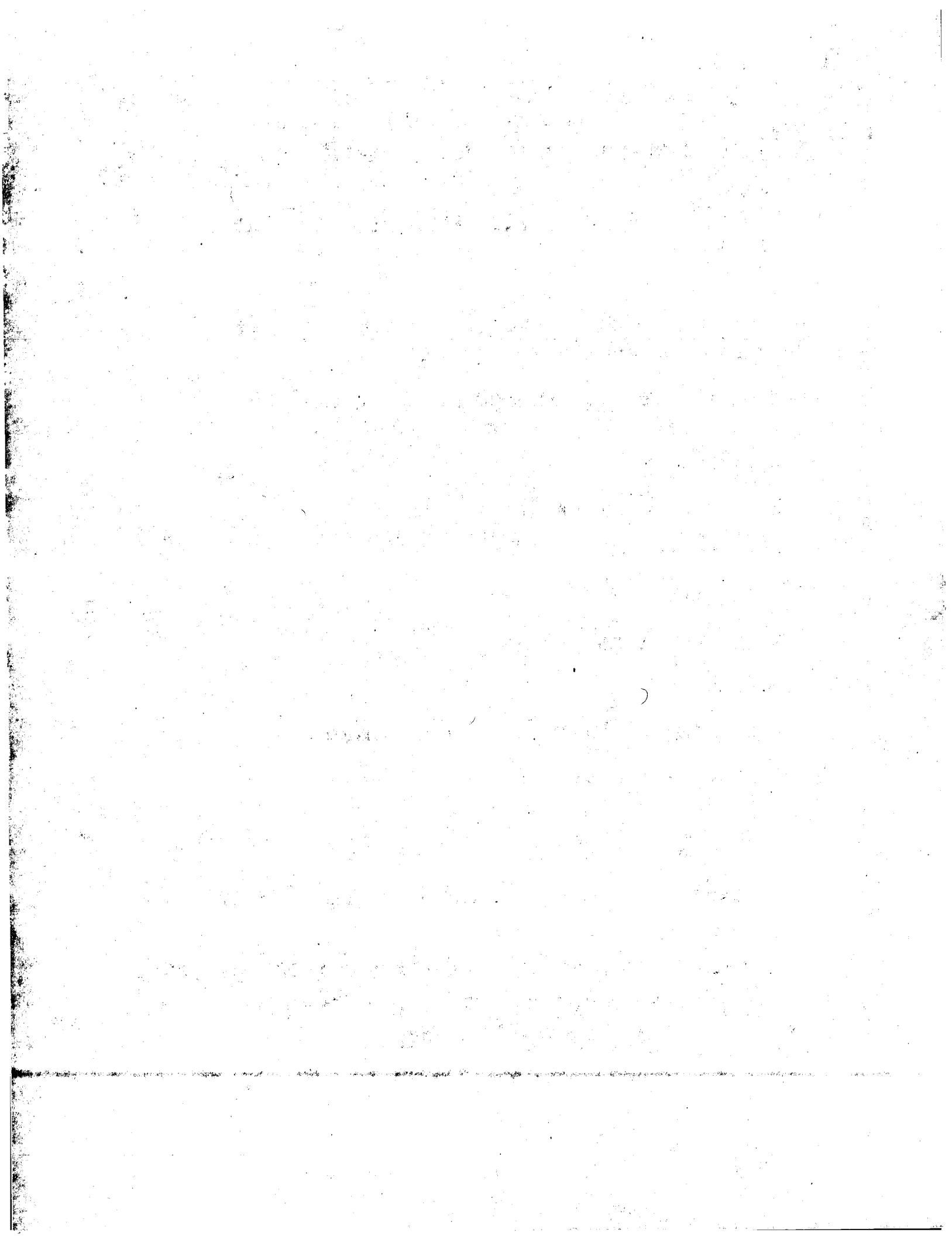
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229176

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

H01L 27/108  
 H01L 21/8242  
 H01L 27/04  
 H01L 21/822  
 H01L 27/10  
 H01L 21/8247  
 H01L 29/788  
 H01L 29/792

(21)Application number : 10-044421

(71)Applicant : SIEMENS AG

(22)Date of filing : 10.02.1998

(72)Inventor : MAZURE-ESPEJO CARLOS  
WEINRICH VOLKER

(30)Priority

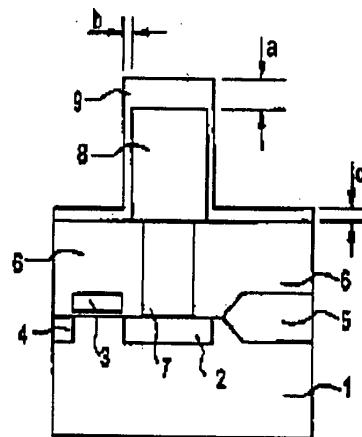
Priority number : 97 19705352 Priority date : 12.02.1997 Priority country : DE

## (54) MANUFACTURE OF CAPACITOR ELECTRODE

## (57)Abstract:

PROBLEM TO BE SOLVED: To improve the method of manufacturing, in particular a PT capacitor electrode.

SOLUTION: A bump-type base structure 8, made of an easily structure-formable conductive or non-conductive filling material, particularly a Pt electrode material 9, is sputtered on this structure 8, so that the material 9 is thicker at the top and side face of this structure, and an anisotropic etching process is applied so as to leave only the electrode material on this substrate.



## LEGAL STATUS

[Date of request for examination] 08.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-229176

(43)公開日 平成10年(1998)8月25日

(51)Int.Cl.\*

H 0 1 L 27/108

21/8242

27/04

21/822

27/10

識別記号

4 5 1

F I

H 0 1 L 27/10

6 2 1 B

4 5 1

27/04

C

27/10

6 5 1

29/78

3 7 1

審査請求 未請求 請求項の数 9 FD (全 5 頁) 最終頁に続く

(21)出願番号 特願平10-44421

(22)出願日 平成10年(1998)2月10日

(31)優先権主張番号 19705352.1

(32)優先日 1997年2月12日

(33)優先権主張国 ドイツ (DE)

(71)出願人 390039413

シーメンス アクチエンゲゼルシャフト  
S I E M E N S A K T I E N G E S E L  
L S C H A F T

ドイツ連邦共和国 D-80333 ミュンヘ  
ン ヴィッテルスバッハーブラッツ 2

(72)発明者 カルロス マズーレ・エスペホ  
ドイツ連邦共和国 85604 ツォルネイ  
ング グリューンラントシュトゥラーゼ 4

(72)発明者 フォルカー ワインリツヒ  
ドイツ連邦共和国 81549 ミュンヘン  
ザハランガーシュトゥラーゼ 29/1

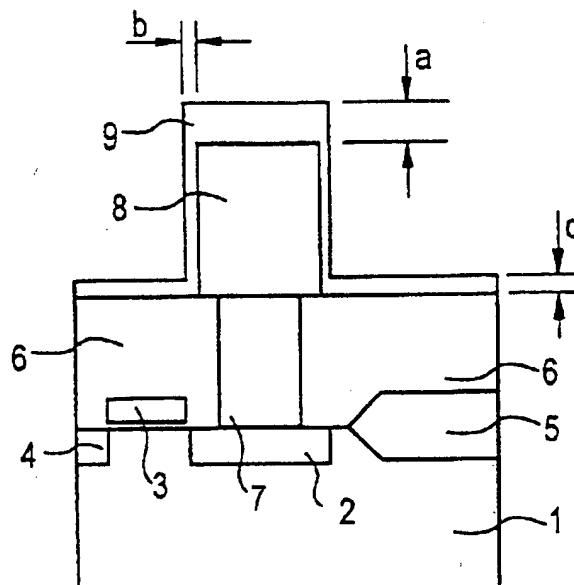
(74)代理人 弁理士 富村 肇

(54)【発明の名称】 コンデンサ電極の製造方法

(57)【要約】

【課題】 特に白金から成るコンデンサ電極の製造方法を改良する。

【解決手段】 先ず、隆起形基本構造体8が簡単に構造化可能な導電性又は非導電性補充材料から形成され、この基本構造体8上に特に白金が電極材料としてスパッタされる。その場合、電極材料の膜厚は基本構造体の上面及び側面では隣接の表面上より大きくされ、それにより引き続いて行われる異方性エッティングプロセスの際にこの基本構造体上の電極材料のみが残される。



## 【特許請求の範囲】

【請求項1】導電性又は非導電性補充材料から成る隆起形基本構造体(8)を、形成すべきコンデンサ電極の幾何学的形状をほぼ有する担持体上に形成する工程と、スパッタプロセスで導電性電極材料(9)を施し、それにより基本構造体(8)の上面及び側面での膜厚が隣接の露出した担持体表面上の膜厚より大きくする工程と、異方性エッチングプロセスを実施し、それにより隣接の露出した担持体表面上の電極材料が除去され、基本構造体(8)の上面及び側面上の電極材料が残される工程とを有することを特徴とする半導体集積回路におけるコンデンサ電極の製造方法。

【請求項2】電極材料(9)として白金が使用されることを特徴とする請求項1記載の方法。

【請求項3】電極材料(9)又は基本構造体(8)は導電性接続構造体(7)を介して半導体基板内の導電性領域(2)又は導体路(12)に接続されることを特徴とする請求項1又は2記載の方法。

【請求項4】異方性エッチングプロセスとしてスパッタエッチングプロセスが使用されることを特徴とする請求項1乃至3の1つに記載の方法。

【請求項5】基本構造体は担持体の材料から形成されることを特徴とする請求項1乃至4の1つに記載の方法。

【請求項6】接続構造体(7)と電極材料(9)との間に酸素拡散壁(13)が形成されることを特徴とする請求項1乃至5の1つに記載の方法。

【請求項7】基本構造体(8)は酸素拡散を阻止するために導電性壁材料から形成されることを特徴とする請求項1乃至4、6の1つに記載の方法。

【請求項8】強誘電体又は常誘電体(10)が作られたコンデンサ電極上に設けられ、その上に第2のコンデンサ電極(11)が設けられることを特徴とする請求項1乃至7の1つに記載の方法。

【請求項9】メモリセルを製造する際に使用されることを特徴とする請求項1乃至8の1つに記載の方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体集積回路におけるコンデンサ電極の製造方法に関する。

## 【0002】

【従来の技術】半導体集積回路は、製造プロセス中に隆起形の、即ちほぼ水平な面上に形成されるコンデンサをしばしば有する。これに関する例はいわゆるスタックド・キャパシタ・メモリセル、特にDRAMデバイスである。このようなコンデンサの所要スペースへの重要な影響はコンデンサ誘電体の選択である。

【0003】従来のコンデンサは、メモリ誘電体として

ムーストロンチウムチタン酸塩、 $BaSrTiO_3$ )等のような新しい常誘電体材料は誘電率 $\epsilon > 150$ を持ち、従つてより小さなコンデンサを可能にする。

【0004】コンデンサ誘電体として常誘電体材料を備えたこの種のメモリ素子(DRAM)は給電の供給が停止されるとその電荷を失い、それによりその記憶した情報を失う。その他に従来のメモリ素子は残留漏れ電流のために常に新たに書込む必要がある(リフレッシュタイム)。メモリ誘電体として強誘電体材料を使用する10と、種々の分極方向に基づいて、給電の供給が停止されても情報を失わずしかも常に新たに書込む必要のない不揮発性メモリを構成することが可能になる。セルの残留漏れ電流は記憶された信号に悪影響を与えない。この種の強誘電体材料に関する例はPZT(鉛ジルコニウムチタン酸塩、 $Pb(Zr, Ti)O_3$ )である。

【0005】この新しい強誘電体及び常誘電体の製造は一般に酸化雰囲気内で高温度下にて行われる。それゆえ、特に第1のコンデンサ電極に対しては、これらの条件に適合する材料が必要である。これに適した材料としては白金から成る電極が考えられる。しかしながら白金の構造化、特に比較的厚い白金膜の構造化は今まで十分に解決されていない問題である。というのは、適当なエッチングプロセスが開発されておらず、しかも揮発性白金化合物はRIEプロセスに適していないように考えられるからである。従来のエッチングプロセスはレジストマスクの設置及びアルゴン、酸素又は塩素プラズマでのエッチングに基づいている。その際プロセスの物理的条件のためにマスク材料及び基台に対しては僅かな選択性しか得られない。

## 【0006】

【発明が解決しようとする課題】本発明の課題は、特に白金から成るコンデンサ電極の製造方法を改良することにある。さらに、この製造方法はメモリ誘電体として高 $\epsilon$ 常誘電体又は強誘電体を備えたDRAMセルの製造プロセスに組みむことができるようにする必要がある。

## 【0007】

【課題を解決するための手段】この課題は本発明によれば、導電性又は非導電性の補充材料から成る隆起形基本構造体を、形成すべきコンデンサ電極の幾何学的形状を40ほぼ有する担持体上に形成する工程と、スパッタプロセスで導電性電極材料を施し、それにより基本構造体の上面及び側面での膜厚が隣接の露出した担持体表面上の膜厚より大きくする工程と、異方性エッチングプロセスを実施し、それにより隣接の露出した担持体表面上の電極材料を除去し、基本構造体の上面及び側面上の電極材料を残す工程とを有することによって解決される。

【0008】本発明は、先ず、形成すべきコンデンサ電極の幾何学的形状を、より簡単に構造化可能な補充材料

露出した上面及び露出した側面を有する。その後、導電性電極材料がスパッタプロセスで施される。このプロセスでは、基本構造体の上面には側面及び底部（即ち隣接の自由担持体表面）における膜厚より厚い膜厚が生ずる。その後異方性エッティングプロセスによるエッチバックが行われる。このエッティングでは、水平な表面、即ち上面と底部（担持体）とにおけるエッティング率は同じであるが、側面におけるエッティング率は無視できるような値にする。担持体表面はフリーエッティングされる、即ち電極材料はここでは完全に除去されるが、基本構造体の側面及び上面では電極材料の膜が残されたままである。このようにして、例えば隣接のメモリセルの同時に形成されたコンデンサ電極から隔離された絶縁コンデンサ電極が得られる。

【0009】本発明では、電極材料（即ち例えば白金）をプラズマ化学的に構造化することを必要とせず、その代わりにエッティングが比較的容易な補充材料を構造化して基本構造体とする。電極材料のエッティングはレジストマスクを用いることなく行われる。第2（上側）の電極は例えばリフトオフプロセスによって構造化され、それゆえここでもプラズマエッティングプロセスを省略することができる。

【0010】他の利点は、電極材料の析出と電極以外の個所での電極材料の除去との間に装置の交換を必要としない点である。

【0011】基本構造体は導電性又は非導電性材料から形成することができる。上述の新しいメモリ誘電体の1つをDRAM製造プロセスに組込む場合、後で行われる高温プロセス時に酸素拡散障壁として作用ししかも深部に位置する構造体の酸化を阻止する材料から基本構造体を形成すると有利である。コンデンサ電極が接続構造体を介してしかも基本構造体（この場合導電性である）又は電極材料によって導体路又は導電性領域に接続されると好ましい。

【0012】本発明は特にDRAMメモリのセル領域内で使用されると有利である。というのは、多数のコンデンサが間隔狭く隣接して設けられることによって、担持体表面上へは（基本構造体の上面に対して相対的に）電極材料の薄い膜のみがスパッタされ、それゆえ異方性エッティングプロセスにおいてその薄い膜のみが除去されればよいからである。

【0013】

【実施例】次に、本発明を図面に示した実施例に基づいて詳細に説明する。

【0014】図1に基づき本発明による方法をDRAMメモリセルを例として説明する。シリコン半導体基板1にはドープされた領域2、4とゲート3とを持つMOSトランジスタが作られており、このMOSトランジスタ

化シリコンで覆われており、このようにしてコンデンサの担持体を構成している。例えばタンクスチタン又はポリシリコンから成る接続構造体7を介して、ドープされた領域2は絶縁層6を通って接続可能である。好ましくは平坦化された表面を有する担持体上には、基本構造体を形成するための補充材料として窒化チタン又は他の導電性障壁材料が設けられ、従来のエッティングプロセスによって構造化される。このようにして、接続構造体7と十分な大きさの面積でオーバーラップする基本構造体8が形成される。その場合、完全に覆うことは必ずしも必要という訳ではない。基本構造体8の幾何学的寸法はとりわけ所望の容量値に依存する。高さ（膜厚）に関する標準的な値は500nmである。装置上には電極材料9として白金がスパッタされる。このスパッタ条件は出来るだけ良好に縁部が覆われしかも単結晶膜が得られるよう使用器具に応じて選定される。シャドー効果のためには、基本構造体8に隣接する担持体表面上の膜厚cと基本構造体8の側面における膜厚bとは基本構造体の上面上の膜厚aより薄い。この実施例において、窒化チタン上に100nmの厚さの白金薄膜を析出させると、基本構造体8の上面、担持体表面、基本構造体8の側面における膜厚比a:c:bは約3:1、5:1となる。基本構造体8の上面上の膜厚は同じ条件下で平坦状基板上に得られる膜厚に一致する。

【0015】図2に示すように、この装置に対してスパッタエッティングが行われる。このスパッタエッティングはイオン流によって指向性をもって行われるので、水平面上のエッティング率は同一であるが、ほぼ垂直な側面でのエッティング率は無視し得る。エッティング時間は、基本構造体に隣接する担持体表面上の白金膜が除去され、しかしながら基本構造体自体の上の白金膜は薄くされるだけで除去されないように設定される。これはDRAMセルフィールドの実施例においては、コンデンサ電極が隣接の電極から隔離されていることを意味する。基本構造体8の上面と側面とには約1.5:1の割合で電極材料9の膜厚比a':bが構成されている。これによってコンデンサ電極が完成する。

【0016】図3に示すように、メモリ電極を完成させるために、コンデンサ誘電体10、好ましくは高ε誘電体が全面に設けられる。FRAMの場合その代わりに強誘電体が析出させられる。このための適当な方法は当業者に良く知られている（例えばC. Hwangの論文「App. Phys. Lett.」第67巻、1995年発行、第2819頁以降参照）。基本構造体8は酸素拡散障壁から形成されるので、接続構造体7の表面は酸化されない。（そうでない場合には接続構造体7と誘電体10との間に適当な障壁を組込む必要がある。）その後、上側電極11が例えば同様に白金から作られる。

酸化シリコン又は塗化シリコンから形成される。この補充材料は第1の実施例と同様に好ましくは平坦化された担持体上に設けられ、構造化されて基本構造体8になる。プロセスを簡単にするために、基本構造体8は基台になっている構造体の被覆膜もしくは平坦化に使われる膜6と同じ材料から形成することもできる。即ち膜6は十分大きい膜厚で設けられ、この膜6から担持体ならびに基本構造体8が形成されている。換言すれば、基本構造体は担持体の材料から形成されている。電極材料9のスパッタ(図4参照)及び異方性エッティング(図5参照)は上記において説明したのと同じように行われる。非導電性補充材料の場合、電極材料9の接続が必要であり、この実施例ではトランジスタのドープされた領域2から電極材料9への導電性接觸が作られている。これは接続構造体7が電極材料9まで達して例えば基本構造体8の上面まで延びることによって行われる。後で行われる酸素の豊富な熱処理のためにこの接続構造体7と電極材料9との間に障壁13が必要であるならば、この障壁13は同様に例えば図示のように組込む必要がある。タンクスチン(W)から成る接続構造体の場合、障壁13は塗化タンクスチン(WN)から構成することができる。コンデンサは上述のようにして完成させることができる。

【0018】図6に示すように、基本構造体8のために非導電性補充材料が使用される場合、電極材料9の接続は基本構造体8の位置をずらすことによって達成することができる。例えばタンクスチン又はポリシリコンから成る接続構造体7は基本構造体8の側面に電極材料への接觸部を有する。この実施例においてはさらに絶縁膜1'上に載置された深部に位置する導体路12への接続

30

が示されている。その他の方法は第1の実施例の場合と同じように実施することができる。

【図面の簡単な説明】

【図1】本発明による方法の第1の実施例を説明するための半導体装置の断面図。

【図2】本発明による方法の第1の実施例を説明するための半導体装置の断面図。

【図3】本発明による方法の第1の実施例を説明するための半導体装置の断面図。

【図4】本発明による方法の第2の実施例を説明するための半導体装置の断面図。

【図5】本発明による方法の第2の実施例を説明するための半導体装置の断面図。

【図6】本発明による方法の第3の実施例を説明するための半導体装置の断面図。

【符号の説明】

1 シリコン半導体基板

1' 絶縁膜

2、4 ドープされた領域

20 3 ゲート

5 絶縁領域

6 絶縁膜

7 接続構造体

8 基本構造体

9 電極材料

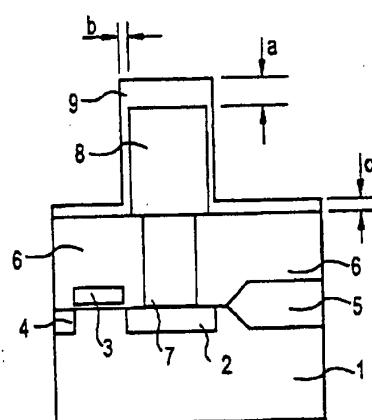
10 脱電体

11 上側電極

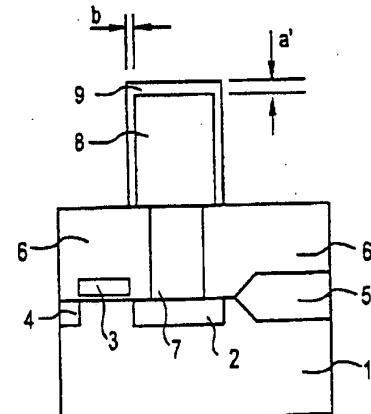
12 導体路

13 障壁

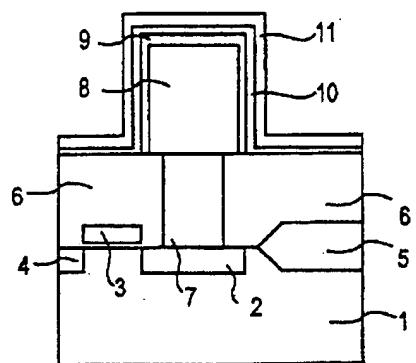
【図1】



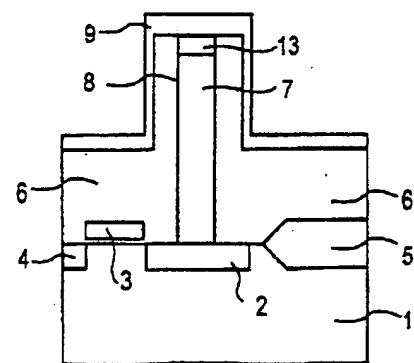
【図2】



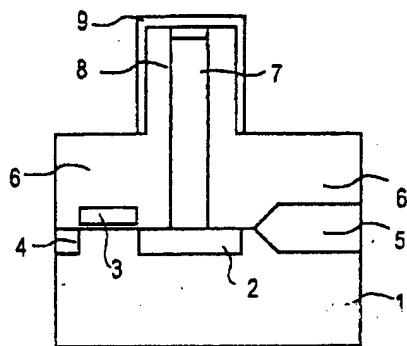
【図3】



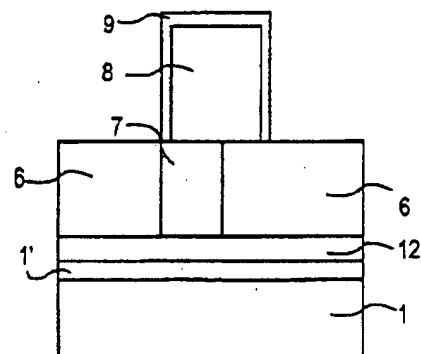
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 6

H 01 L 21/8247

29/788

29/792

識別記号

F I